



**BOARD OF INDUSTRY, TRADE AND HANDICRAFT
GENERAL MANAGEMENT OF INDUSTRIAL PRODUCTION
ITALIAN PATENT AND TRADEMARK OFFICE**

Authentication of copy of documents relating to patent application for Industrial Invention
N. TO2000 A 000633

We declare that the attached copy is a true copy of the original documents
filed with the above mentioned patent application, the data of which
appear from the attached filing form

Rome, NOVEMBER 24, 2000

Seal stamp

DIVISION DIRECTOR

Dr. Paola DI CINTIO
(signature)

TO THE BOARD OF INDUSTRY, TRADE AND HANDICRAFT
ITALIAN PATENT AND TRADEMARK OFFICE - ROME

MODEL A

APPLICATION FOR INDUSTRIAL INVENTION PATENT, RESERVE FILING, ADVANCED ACCESSIBILITY BY THE PUBLIC

A. APPLICANT (S)

N.G.

1) Denomination Alcatel
Residence Paris (France) code

B. REPRESENTATIVE OF THE APPLICANT BY I.P.T.O.

surname name CROVINI Giorgio (registered italian attorney No. 857B) fiscal code
name of the office Metroconsult S.r.l.
street Piazza Cavour n. 3 town None post code 10060 prov. TO

C. DOMICILE OF CHOICE addressee:

street n. town post code prov.

D. TITLE proposed class (sec./cl./subcl) group / subgroup

"Method for aligning data flows in time division frames and circuit thereof"

ACCESSIBILITY IN ADVANCE FOR THE PUBLIC: YES NO (X)

IF PETITION: DATE

RECORD NO.:

E. DESIGNATED INVENTORS surname name

surname name

1) TRAVERSO Giovanni 3) RAZZETTI Luca
2) NOVATI Marco 4)

F. PRIORITY

nation or organization priority type application number filing date S/R

annexe

RESERVE DISSOLUTION

Date Protocol no.

G. CENTER DEPUTED TO THE CULTURE OF MICRO-ORGANISM, denomination

H. SPECIAL NOTES

ATTACHED DOCUMENTATION

NO. of ex.

Doc. 1)	2	PROV.	no. pag.	[17]	abstract with main drawing, description and claims (compulsory 1 exemplar)
Doc. 2)	2	PROV	no. draw	[02]	drawing (compulsory if mentioned in the description, 1 exemplar
Doc. 3)	1	RIS			power of attorney, general power or reference to general power
Doc. 4)		RIS			inventor designation
Doc. 5)		RIS			priority document with italian translation
Doc. 6)		RIS			authorization or deed of assignment
Doc. 7)					complete name of applicant

RESERVE DISSOLUTION

Date Protocol no.

compare single priorities

8) payment receipt, total liras THREE HUNDRED SIXTYFIVE THOUSAND

compulsory

TYPED ON 27/06/2000

SIGNATURE OF APPLICANT (S)

Metroconsult S.r.l.

The Representative - Eng. Giorgio Crovini (registered italian attorney No. 857B)

TO BE CONTINUED YES / NO NO

(signature)

CERTIFIED COPY OF THE PRESENT CERTIFICATE IS REQUESTED YES / NO YES

PROVINCIAL OFFICE OF IND. COMM. HAND. OF

TURIN

code 01

FILING REPORT APPLICATION NUMBER TO 2000A 000633

Reg.A

In the year ~~nineteen hundred~~ TWO THOUSAND on day TWENTY-SEVEN of the month of JUNE

The above mentioned applicant (s) has (have) submitted to me the present application formed by no. additional sheets for the grant of the aforesaid patent

I. VARIOUS NOTES OF DRAWING UP OFFICER

FILING PARTY
SIGNATURE

Office
seal

DRAWING UP OFFICER

signature



MINISTERO DELL'INDUSTRIA, DEL COMMERCIO E DELL'ARTIGIANATO

DIREZIONE GENERALE DELLA PRODUZIONE INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI



Q65045
10 r 1
Traverso

11040 U.S. PRO

09/884226



06/20/01

Autenticazione di copia di documenti relativi alla domanda di brevetto per ~~Invenzione Industriale~~

N.TO2000 A 000633

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito*

CERTIFIED COPY OF
PRIORITY DOCUMENT

ma, li

24 NOV. 2000

IL DIRETTORE DELLA DIVISIONE

D.ssa Paola DI CINTIO

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

marca
da
bollo

A. RICHIEDENTE (1)

1) Denominazione AlcatelResidenza Parigi (Francia)

codice

2) Denominazione

Residenza

codice

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome CROVINI Giorgio (Iscr. Albo 857B)

cod. fiscale

denominazione studio di appartenenza Metroconsult S.r.l.via Piazza Cavourn. 3città Nonecap 10060(prov) TO

C. DOMICILIO ELETTIVO destinatario

via

n. 1

città

cap

(prov)

D. TITOLO

classe proposta (sez/cl/sci)

gruppo/sottogruppo

"Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo e relativo circuito"ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

E. INVENTORI DESIGNATI

cognome nome

SE ISTANZA: DATA

N° PROTOCOLLO

1) TRAVERSO Giovanni3) RAZZETTI Luca

cognome nome

2) NOVATI Marco

4)

F. PRIORITÀ

nazione o organizzazione

n° di priorità

numero di domanda

data di deposito

allegato
S/R

SCIOGLIMENTO RISERVE

Data

N° Protocollo

1)

2)

G. CENTRO ABILITATO

E ID ORGANISMI, denominazione

H. ANNOTAZIONI SPECI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROVn. pag. 17

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

Doc. 2) 2 PROVn. tav. 02

disegno (obbligatorio se citato in descrizione, 1 esemplare)

Doc. 3) 1 RIS

lettera d'incarico, procura o riferimento procura generale

Doc. 4) 1 RIS

designazione inventore

Doc. 5) 1 RIS

documenti di priorità con traduzione in italiano

Doc. 6) 1 RIS

autorizzazione o atto di cessione

Doc. 7) 1

nominativo completo del richiedente

8) attestati di versamento, totale lire

Trecentosessantacinquemila==

obbligatorio

COMPILATO IL 27 06 2000

FIRMA DEL (1) RICHIEDENTE (1)

Metroconsult S.r.l.CONTINUA SINO NOIl Mandatario - Ing. Giorgio Crovini (Iscr. Albo nr. 857B)DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO SI

UFFICIO PROVINCIALE IND. COMM. ART. DI

TORINO

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

TO 2000A 000633codice 01L'anno XXXXXXDUEMILA

Il giorno

VENTISETTE

del mese di

GIUGNOIl (1) richiedente (1) sopraindicato (1) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 1 fogli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

Giorgio CroviniSilvano Basso
IN QUALITÀ FUNZIONARIA
L'UFFICIALE ROGANTEL. Basso

NUMERO DOMANDA

NUMERO BREVETTO

10 2 0594-000 6351 REG. A

DATA DI DEPOSITO

27/10/1990

DATA DI RILASCIO

11/11/1991

A. RICHIEDENTE (I)

Alcatel

Denominazione

Residenza

Parigi (Francia)

D. TITOLO

"Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo e relativo circuito"

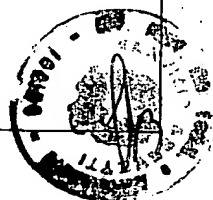
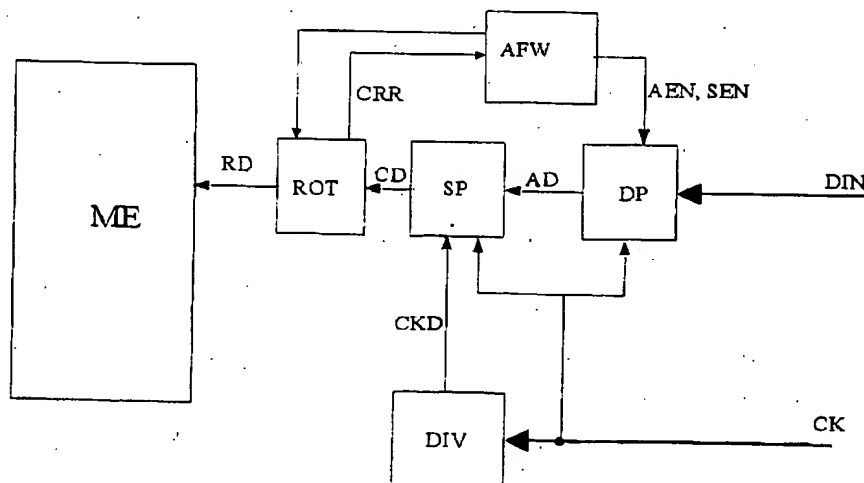
Classe proposta (sez./cl./sc./)

(gruppo/sottogruppo)

L. RIASSUNTO

Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo che prevede di misurare la fase di detto flusso di dati in ingresso (DIN) rispetto alla fase di un segnale di riferimento (CK), di controllare il tempo di ritardo introdotto da una linea di ritardo (VDL) su detto flusso di dati in ingresso (DIN) in funzione della fase misurata. Secondo l'invenzione si prevede di misurare la fase del flusso di dati in ingresso (DIN) in un intervallo temporale sostanzialmente concomitante con il tempo di transito di una sequenza di dati certa contenente una transizione logica (AW), detta sequenza di dati certa (AW) essendo compresa in detto flusso di dati in ingresso (DIN).

M. DISEGNO



"METODO DI ALLINEAMENTO DI FASE DI FLUSSI DI DATI APPARTENENTI A TRAME A DIVISIONE DI TEMPO E RELATIVO CIRCUITO"

di ALCATEL, di nazionalità francese, con sede in 54 Rue La Boétie, 75008 Parigi,
ed elettivamente domiciliata presso il Mandatario Ing. Giorgio Crovini, presso
Metroconsult S.r.l, piazza Cavour 3, 10060 None (TO).

Inventore designato: Giovanni TRAVERSO, via Ciliegio, 4, Rovagnate (LC)

Marco NOVATI, via del Careggio, 16, Merate (LC)

Luca RAZZETTI, via Grugnola, 31, Sesto S. Giovanni (MI)

Depositata il

27 GIU 2000

No.

TO 2000A 000633

DESCRIZIONE

La presente invenzione si riferisce ad un metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo.

Nella realizzazione di sistemi di comunicazione digitale ci si trova spesso nella condizione in cui i dati in ingresso a un nodo di una rete di telecomunicazioni giungono ad una determinata frequenza nominale, ma sono affetti da modulazioni della fase rispetto a un segnale di riferimento, ad esempio un segnale d'orologio, dette modulazioni essendo dovute a ragioni disparate quali derive termiche e altri problemi di propagazione sul mezzo trasmissivo.

Dette modulazioni di fase, che possono presentarsi ad alta frequenza (jitter) oppure a bassa frequenza (wander), generano perciò errori di bit in ricezione.

E' necessario dunque, ad esempio, all'interno del nodo, allineare la fase di detti dati in ingresso con la fase di un segnale d'orologio di riferimento dotato della medesima frequenza istantanea, in modo da evitare errori di riconoscimento. Il corretto

Ing. Giorgio CROVINI

Giorgio Crovini

allineamento di fase è di particolare importanza nel caso di trame a divisione di tempo.

E' noto, per ottenere l'allineamento di fase, impiegare degli anelli ad aggancio di ritardo noti anche come DLL (Delay Locked Loop).

Gli anelli DLL sono anch'essi basati su anelli di retroazione e comprendono essenzialmente una linea di ritardo, che riceve in ingresso il segnale da allineare, cioè il segnale dati nel nostro caso, e produce in uscita più segnali ritardati rispetto al segnale da allineare. Un comparatore di fase si occupa quindi di controllare la differenza di fase del segnale dati in ingresso rispetto al segnale di riferimento, cioè ad esempio il segnale di orologio, e comandare di conseguenza una logica di controllo che governa il tempo di ritardo introdotto dalla linea di ritardo, selezionando una delle diverse prese della linea di ritardo.

Alternativamente i circuiti DLL possono anche essere impiegati in sistemi dove in retroazione viene controllato il ritardo del singolo elemento di ritardo della linea, ottenendo un comportamento analogo ai Phase Locked Loop.

Uno dei problemi associati a questo tipo di circuiti è che detti circuiti risultano particolarmente onerosi dal punto di vista dei consumi di potenza, in quanto operano in maniera continua durante l'intero passaggio del flusso di dati. Il problema del consumo diventa particolarmente acuto con l'aumentare della frequenza dei dati in ingresso e del numero di canali per dispositivo, se ad esempio si tratta di un dispositivo di tipo matrice di connessione.

La presente invenzione si propone di risolvere gli inconvenienti sopra citati e di indicare un metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo che sia di realizzazione migliorata, e più efficiente rispetto alle soluzioni note.

Ing. Giorgio CROVINI

Giorgio Crovini

In tale ambito, scopo principale della presente invenzione è quello di indicare un metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo adatto all'impiego ad alte frequenze e che mantenga dei bassi consumi di energia.

Per raggiungere tali scopi, formano oggetto della presente invenzione un metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo e/o un circuito di allineamento di fase di dati ad alta frequenza in trame a divisione di tempo e/o una linea di ritardo incorporanti le caratteristiche delle rivendicazioni allegate, che formano parte integrante della presente descrizione.

Ulteriori scopi, caratteristiche e vantaggi della presente invenzione risulteranno chiari dalla descrizione particolareggiata che segue e dai disegni annessi, forniti a puro titolo di esempio esplicativo e non limitativo, in cui:

- in figura 1 è riportato uno schema a blocchi illustrante uno schema di principio di un ricevitore di una rete di telecomunicazioni implementante un metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo l'invenzione;
- in figura 2 è riportato uno schema di principio di un circuito di allineamento di fase implementante il metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo l'invenzione.

In figura 1 è rappresentato uno schema di principio del ricevitore di una interfaccia di tipo "backpanel" di una matrice di connessione in una rete di telecomunicazioni di tipo sincrono, ad esempio di tipo SDH (Synchronous Data Hierarchy),

In detta figura 1 è perciò rappresentato un flusso di dati DIN in ingresso, il quale è costituito da un flusso di trame SDH alla frequenza nominale di 622,08 MHz. Detto flusso di dati DIN viene inizialmente trattato da un circuito allineatore di fase DP, il

Ing. Giorgio CROVINI

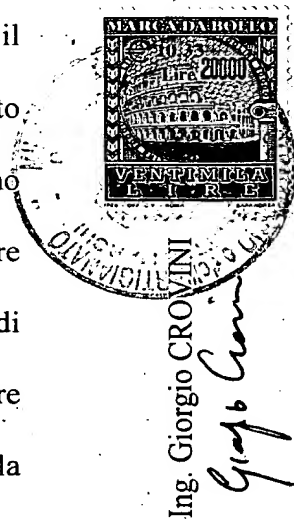
Giorgio Crovini

quale riceve a un altro suo ingresso il segnale di orologio CK a 622,08 MHz, il quale è generato esternamente all'interfaccia della matrice di connessione.

In uscita dal circuito allineatore di fase DP si ha un flusso di dati allineati AD, il quale è quindi ora allineato in fase con il segnale di orologio CK, e viene inviato quindi ad un circuito seriale-parallelo SP, il quale esegue appunto una conversione da seriale a parallelo dei dati. Il circuito seriale-parallelo SP è pilotato da un segnale d'orologio a frequenza divisa CKD, generato da un apposito circuito divisore DIV, che divide per 8 il segnale di orologio CK, originando quindi una frequenza di 77 MHz per il segnale d'orologio a frequenza divisa CKD.

Il circuito seriale-parallelo SP produce perciò un flusso di dati convertito CD, il quale è infine opportunamente ruotato tramite un circuito rotatore ROT, controllato da un circuito riconoscitore della parola di allineamento AFW, del quale sono usualmente dotati i circuiti ricevitori di trame di tipo SDH onde allineare correttamente il flusso di bit, identificando nelle trame SDH delle opportune parole di allineamento AW, previste proprio per questo scopo dagli standard, cioè riconoscere il punto di inizio delle informazioni nella trama. Il circuito riconoscitore della parola di allineamento AFW fa ruotare i bit all'interno del circuito rotatore ROT per recuperare il corretto allineamento di trama dei bit, producendo in uscita un flusso di dati ruotati RD.

La parola di allineamento AW, nel caso di un flusso di dati d'ingresso DIN costituito da una trama di tipo STM-4, corrisponde ai primi 24 byte della trama, ed è composta da 12 byte rappresentati il valore F6 esadecimale, seguiti da 12 byte rappresentanti il valore 28 esadecimale. Dal momento che il valore F6 esadecimale corrisponde a 11110110 binario, e il valore 28 esadecimale corrisponde a 00101000 binario, le sequenze di bit 101 e 010, qui sottolineate all'interno dei valori binari per meglio



evidenziarle, in detti byte rappresentano delle transizioni ben identificabili.

Il circuito rotatore ROT invia al circuito riconoscitore della parola di allineamento AFW un'informazione sulla correzione CRR, che detto circuito rotatore ROT ha eseguito, cioè di quanti bit è stata ruotata la parola AW per recuperare l'allineamento di trama. Dal momento che la struttura dei byte F6 e 28 che costituiscono la parola di allineamento AW è nota, detta informazione sulla correzione CRR perciò contiene informazione sulla posizione delle transizioni, e quindi permette di generare un sincronismo, rappresentato da un secondo segnale di abilitazione SEN, sul segnale di orologio CK in corrispondenza alla transizione certa sul flusso di dati in ingresso DIN.

Detta informazione sulla correzione CRR, poiché proviene dal circuito rotatore ROT pilotato dal segnale d'orologio a frequenza divisa CKD, è scandita alla frequenza di 77 MHz, ma, in maniera vantaggiosa, contiene egualmente l'informazione sul bit della parola di allineamento AW che sta transitando, nonostante detta parola di allineamento AW sia scandita alla frequenza di 622,08 MHz.

Detto flusso dati ruotati RD viene quindi ricevuto da una memoria elastica ME, con compiti di buffer, dalla quale procede poi verso i rimanenti circuiti dell'interfaccia.

E' da notare in figura 1, che secondo una caratteristica importante dell'invenzione, il circuito riconoscitore della parola di allineamento AFW controlla anche il circuito allineatore di fase DP. Parte della logica necessaria all'allineamento di fase è vantaggiosamente costituita dalla già prevista logica del circuito riconoscitore della parola di allineamento AFW che presiede all'allineamento di trama.

Secondo l'invenzione, infatti, viene sfruttato la presenza di una struttura predeterminata nelle trame a divisione di tempo, in particolare trame SDH, e, specificamente, la presenza in dette trame della parola di allineamento AW, che

Ing. Giorgio CROVINI
Giorgio Crovini

costituisce sequenza di dati certa contenente una transizione logica, al fine di misurare lo sfasamento del flusso dati in ingresso DIN rispetto al segnale d'orologio CK, solamente per un intervallo di tempo corrispondente al passaggio di detta parola di allineamento AW, mantenendo non operante detto circuito allineatore di fase DP per il resto del passaggio della trame contenute nel flusso di dati DIN.

In figura 2 è rappresentato uno schema a blocchi del circuito allineatore di fase DP.

Il flusso di dati in ingresso DIN viene inviato a una linea a ritardo variabile VDL, appartenente al circuito allineatore di fase DP, la quale conta 75 elementi di ritardo VDE, da VDE0 a VDE74 disposti in una struttura a scala. Ciascun elemento di ritardo VDE è controllato da un rispettivo segnale di selezione SEL0...SEL74, i cui effetti sugli elementi VDE della linea di ritardo VDL saranno meglio spiegati in seguito. A valle della linea a ritardo variabile VDL, il flusso di dati in ingresso raggiunge una linea a ritardo fisso FDL, che si compone di cinque elementi di ritardo FDE, da FDE0 a FDE4, a ritardo fisso. A valle dell'elemento FDE2, che è l'elemento centrale della linea a ritardo fisso FDL, viene prelevato il flusso di dati allineati AD, che viene poi inviato al circuito seriale-parallelo SP, come indicato in figura 1. Detto flusso di dati allineati AD è perciò inviato a un flip-flop FF2, facente parte di un gruppo di cinque flip-flop FF0..FF4 che costituiscono una linea di monitoraggio di uno stadio di campionamento e monitoraggio SM, insieme a un successivo stadio di campionamento SS, costituito da due ulteriori stadi di cinque flip-flop, che vengono mascherati dal secondo segnale di abilitazione SEN, il quale li abilita al funzionamento, cioè a far progredire i dati, solo durante il passaggio della transizione contenuta nella parola di allineamento AW. Il flip-flop FF2 è pilotato dal segnale di orologio CK, per governare l'avanzamento del flusso di dati allineati AD verso il circuito seriale-parallelo SP, nonchè verso il circuito riconoscitore della parola di

Ing. Giorgio CROVINI

Giorgio Crovini

allineamento AFW.

Il segnale d'orologio CK è inoltre inviato a un blocco di mascheratura MB, il quale opera controllato dal circuito riconoscitore della parola di allineamento AFW tramite un segnale di abilitazione AEN, per generare un segnale d'orologio mascherato CKE, cioè un segnale di orologio del tutto analogo al segnale d'orologio CK per frequenza, ma attivo solo durante la finestra temporale corrispondente al passaggio della parola di allineamento AFW, cioè mascherato per il restante tempo di passaggio della trama. Detto segnale d'orologio mascherato CKE pilota i rimanenti flip-flop FF0, FF1, FF3, FF4 dello stadio di campionamento e monitoraggio SM.

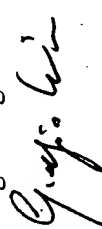
A valle di ciascun elemento di ritardo FDE0, FDE1, FDE3, FDE 4 della linea a ritardo fisso FDL viene prelevato un flusso di dati sfasato FD0, FD1, FD3, FD4 e inviato al rispettivo flip-flop dello stadio di campionamento e monitoraggio SM. Da detti flip-flop FF0, FF1, FF3 e FF4 detti flussi di dati sfasati FD0, FD1, FD3, FD4 avanzano a un circuito logico di controllo LC, insieme al flusso di dati allineato AD. Il circuito logico di controllo LC è atto, in base ai flussi di dati sfasati FD0, FD1, FD3, FD4 e al flusso di dati allineato AD, a fornire i segnali di selezione SEL0...SEL74 per la linea a ritardo variabile VDL.

Il flusso di dati allineati AD è anche fornito al circuito riconoscitore della parola di allineamento AFW, affinché identifichi la parola di allineamento AW.

Il funzionamento del circuito allineatore di fase DP è il seguente:

il flusso di dati in ingresso DIN, in condizioni stabili, cioè senza necessità di dover regolare la fase, attraversa tutti gli elementi VDE da un elemento di ritardo i-esimo VDEi fino a VDE74, introducendo così un ritardo costante. Ciò viene ottenuto dalla logica di controllo LC ponendo a uno logico il segnale di selezione SELi i-esimo e tenendo a zero logico tutti gli altri segnali di selezione SEL. In pratica, come si può

Ing. Giorgio CROVINI



osservare da figura 2, i dati in ingresso DIN attraversano in maniera seriale tutta la catena di elementi di ritardo VDE della linea a ritardo VDL, cumulando il ritardo introdotto da ogni elemento di ritardo sul cammino seriale, e sono inoltre inviati in parallelo a ciascun elemento di ritardo VDE, in questo caso senza ritardo. Quando il segnale SEL vale zero logico l'elemento di ritardo è passante per il flusso di dati DIN che riceve in serie. Quando il segnale SEL vale uno logico, l'elemento di ritardo VDE corrispondente non è più passante, sicchè si propaga il flusso di dati in ingresso DIN ricevuto in parallelo. In altre parole tutti gli elementi di ritardo VDE a monte di dell'elemento VDE i-esimo non passante sono by-passati e il ritardo introdotto alla fine del cammino seriale dipende solo dagli elementi di ritardo a valle dell'elemento di ritardo VDE i-esimo, più precisamente è la somma di detti ritardi.

In altre parole ciascun elemento di ritardo VDE_i si comporta come un multiplexer, che lascia passare o il flusso di dati in ingresso DIN, se il rispettivo segnale di selezione SEL_i vale uno, oppure il dato proviene dall'elemento di ritardo VDE i-1 precedente, se il proprio segnale di selezione SEL_i vale zero.

Qualora il circuito logico di controllo LC rilevi uno sfasamento fra il flusso dati in ingresso DIN e il segnale d'orologio CK, e sia perciò necessario regolare la fase del flusso di dati in ingresso DIN, detto circuito logico di controllo LC sposta l'indice i del segnale SEL_i di 1 avanti o indietro, ponendo a uno logico cioè l'elemento di ritardo VDE precedente o successivo a quello fino ad ora mantenuto a uno logico, decrementando o incrementando di un tempo di ritardo la fase del segnale dati allineato AD. Al fine di evitare l'insorgere di fenomeni di glitch, per un periodo del segnale d'orologio a frequenza divisa CKD sia l'elemento di ritardo VDE_i , sia l'elemento successivamente selezionato sono contemporaneamente a uno logico. I cambiamenti dei valori di segnali di selezione SEL sono permessi solo al di fuori



Ing. Giorgio CROVINI

Giorgio C.

della finestra temporale in cui la parola di allineamento AW passa nel circuito

riconoscitore della parola di allineamento AFW. In questo modo, i campioni eventualmente non significativi che si possono avere sui flip-flop FF0, FF1, FF3, FF4 durante la variazione dei segnali di selezione SEL non determinano la decisione dei successivi valori dei segnali di selezione SEL, perché si deve attendere la successiva finestra temporale sulla parola di allineamento AW.

Lo stadio di campionamento e monitoraggio SM, pilotato dal secondo segnale di abilitazione SEN, si aziona in corrispondenza del passaggio, nei flussi di dati sfasati FD0, FD1, FD3, FD4 e nel flusso di dati allineato AD, delle transizioni 010 e 101, per controllare la fase dei dati in ingresso DIN.

Il circuito di riconoscimento della parola di allineamento AFW invia al blocco di mascheratura MB il segnale di abilitazione AEN, quando attraverso di esso transita la parola di allineamento AFW. Lo stadio di campionamento e monitoraggio SM dunque permette l'avanzamento dei flussi di dati sfasati FD0, FD1, FD3, FD4 e dei dati allineati AD verso il circuito logico di controllo LC solo per i 24 byte di durata della parola di allineamento AFW. Ciò avviene in quanto il segnale di orologio mascherato CKE che pilota il primo stadio di flip-flop FF0, FF1, FF3, FF4 dello stadio di campionamento e monitoraggio SM è attivo solamente per quel periodo. I successivi stadi dello stadio di campionamento e monitoraggio SM, pilotati dal secondo segnale di abilitazione SEN, campionano solo in corrispondenza delle transizioni 101 e 010 nella parola di allineamento AW.

Il circuito logico di controllo LC opera un cambiamento dei segnali di selezione SEL per mutare il ritardo introdotto dalla linea a ritardo variabile VDL, quando il valore campionato attraverso lo stadio di campionamento e monitoraggio SM dei flussi di dati sfasati FD0, FD1, FD3, FD4 differisce da quello relativo al flusso di dati

Ing. Giorgio CROVINI

Giorgio Crovini

allineato AD. Il criterio adottato dalla logica di controllo LC è il seguente: è sufficiente che in almeno uno dei 24 campioni prelevati, corrispondenti ai 24 byte di cui è costituita la parola di allineamento AW, almeno uno fra i flussi di dati sfasati FD0 e FD1, o almeno uno tra i flussi di dati sfasati FD3 e FD4 sia diverso dal flusso di dati allineati AD, per decidere di incrementare o decrementare di uno l'indice i dei segnali di selezione SEL. Nel caso illustrato è permessa una variazione per trama di detto indice, ma è egualmente possibile variare detto indice in funzione del passaggio di un numero maggiore di trame. Ugualmente il numero di elementi di ritardo FDE della linea a ritardo fisso FDL può essere diverso da cinque. Tale numero dispari varia in funzione dello spread tecnologico.

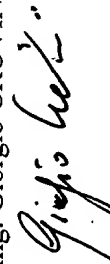
Dalla descrizione effettuata risultano pertanto chiare le caratteristiche della presente invenzione, così come chiari risultano i suoi vantaggi.

Il metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo l'invenzione permette vantaggiosamente di realizzare un circuito di allineamento di fase di dati che opera efficacemente ad alta frequenza, con un consumo di energia estremamente ridotto, in quanto il circuito di allineamento di fase opera solamente durante il passaggio della parola di allineamento della trama, cioè solo per il passaggio di pochi byte, mentre, durante il passaggio del resto della trama, detto circuito di allineamento di fase di dati è inattivo.

Il metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo l'invenzione, inoltre, vantaggiosamente fa uso di linee di ritardo digitali, che permettono di avere una elevata risoluzione in fase e di essere pilotate da una logica di controllo, e in generale impiegando elementi di circuito standard.

Vantaggiosamente inoltre è descritta un'architettura di linea di ritardo che permette di variare il ritardo introdotto, senza variare il ritardo della singola cella, e senza,

Ing. Giorgio CROVINI



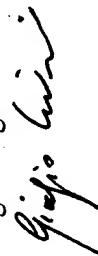
nello stesso tempo, prelevare in parallelo i dati dalle diverse prese della linea di ritardo. Ciò è vantaggioso in quanto evita di dover posizionare un multiplexer particolarmente complesso a valle della linea di ritardo per selezionare la presa di interesse.

E' chiaro che numerose varianti sono possibili per l'uomo del ramo al metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo e/o circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo descritto come esempio, senza per questo uscire dai principi di novità insiti nell'idea inventiva, così come è chiaro che nella sua pratica attuazione le forme dei dettagli illustrati potranno essere diverse, e gli stessi potranno essere sostituiti con degli elementi tecnicamente equivalenti.

In particolare diverse potranno essere le forme delle trame di dati cui il metodo secondo l'invenzione si applica, così come differenti e differentemente dislocate all'interno della trama potranno essere le sequenze di allineamento impiegate per controllare la fase.

* * * * *

Ing. Giorgio CROVINI



RIVENDICAZIONI

1. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo che prevede di misurare la fase di detto flusso di dati in ingresso (DIN) rispetto alla fase di un segnale di riferimento (CK), di controllare il tempo di ritardo introdotto da una linea di ritardo (VDL) su detto flusso di dati in ingresso (DIN) in funzione della fase misurata caratterizzato dal fatto di misurare la fase del flusso di dati in ingresso (DIN) in un intervallo temporale sostanzialmente concomitante con il tempo di transito di una sequenza di dati certa contenente una transizione logica (AW), detta sequenza di dati certa (AW) essendo compresa in detto flusso di dati in ingresso (DIN).
2. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo la rivendicazione 1 caratterizzato dal fatto di rilevare il transito di detta sequenza di dati certa contenente una transizione logica (AW) e di generare conseguentemente un segnale di abilitazione (AEN) che abilita un'operazione di campionamento della fase.
3. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo la rivendicazione 2, caratterizzato dal fatto di impiegare detto segnale di abilitazione (AEN) per ottenere dal segnale di riferimento (CK) un segnale di riferimento mascherato (CKE) attivo solo durante il transito della sequenza di dati certa contenente una transizione logica (AW).
4. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo una delle precedenti rivendicazioni da 1 a 3, caratterizzato dal fatto di prevedere un'ulteriore linea di ritardo (FDL) a ritardo fisso per produrre una pluralità di fasi ritardate (FD0, FD1, AD, FD3, FD4) dal flusso di dati in ingresso (DIN)

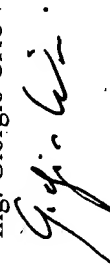


Ing. Giorgio CROVINI

Giorgio Crovini

5. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo la rivendicazione 4, caratterizzato dal fatto di utilizzare detto segnale di riferimento mascherato (CKE) per controllare l'esecuzione dell'operazione di campionamento di dette pluralità di fasi ritardate (FD0, FD1, AD, FD3, FD4).
6. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo la rivendicazione 5, caratterizzato dal fatto di ricavare un secondo segnale di abilitazione (SEN) indicante il transito della transizione logica nella sequenza di dati certa contenente una transizione logica (AW) e di impiegare detto secondo segnale di abilitazione (SEN) per abilitare l'operazione di campionamento di detta pluralità di fasi ritardate (FD0, FD1, AD, FD3, FD4).
7. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo la rivendicazione 6, caratterizzato dal fatto di ricavare detto secondo segnale di abilitazione (SEN) da un segnale di correzione (CRR) derivante da un'operazione di allineamento del flusso di dati in ingresso (DIN)
8. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo almeno una delle rivendicazioni da 2 a 7, caratterizzato dal fatto di fornire il risultato di detta operazione di campionamento a una logica di controllo (LC), la quale, in funzione di detto risultato dell'operazione di campionamento, genera dei segnali di selezione (SEL0,..., SEL 74) atti a controllare il tempo di ritardo della linea di ritardo (VDL).
9. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo la rivendicazione 8, caratterizzato dal fatto che la logica di controllo (LC) decide di incrementare o decrementare di uno l'indice i dei

Ing. Giorgio CROVINI



segnali di selezione (SEL0,..., SEL 74) se in almeno uno dei valori campionati

durante l'intero passaggio della sequenza certa (AW), almeno uno fra le prime due fasi ritardate (FD0, FD1), oppure almeno uno tra le ultime due fasi ritardate (FD3, FD4) è diverso da un flusso di dati allineati (AD).

10. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo secondo almeno una delle rivendicazioni precedenti, caratterizzato dal fatto che detta sequenza di dati certa (AW) è una parola di allineamento di trama e le trame a divisione di tempo che costituiscono il flusso di dati in ingresso (DIN)-sono trame SDH.
11. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo, del tipo che comprende mezzi di comparazione di fase (SM, LC, FDL) atti a paragonare la fase di un segnale di riferimento (CK) con la fase del flusso di dati in ingresso (DIN) e a pilotare tramite opportuni segnali di selezione (SEL0..SEL74) una linea di ritardo (VDL) a ritardo variabile che opera sul flusso di dati in ingresso (DIN), caratterizzato dal fatto di prevedere mezzi di rilevamento (AFW, ROT) del passaggio di una sequenza di dati certa contenente una transizione logica (AW) compresa nel flusso di dati in ingresso (DIN).
12. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo secondo la rivendicazione 11, caratterizzato dal fatto che detti mezzi di rilevamento (AFW, ROT) controllano tramite un segnale di abilitazione (AEN) il funzionamento dei mezzi di comparazione di fase (SM, LC, FDL).
13. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo secondo la rivendicazione 12, caratterizzato dal

Ing. Giorgio CROVINI

Giorgio Crovini

fatto che sono previsti mezzi logici di mascheratura (MB) atti a ottenere un segnale di orologio mascherato (CKE) dalla combinazione del segnale di abilitazione (AEN) e del segnale di riferimento (CK).

14. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo secondo una delle rivendicazioni da 11 a 13, caratterizzato dal fatto che, a valle della linea di ritardo (VDL) a ritardo variabile è prevista un'ulteriore linea di ritardo (FDL), appartenente ai mezzi di comparazione di fase (SM, LC, FDL) che produce una pluralità di fasi ritardate (FD0, FD1, AD, FD3, FD4) dal flusso di dati in ingresso (DIN).
15. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo secondo la rivendicazione 14 caratterizzato dal fatto che i mezzi di comparazione di fase (SM, LC, FDL) comprendono mezzi di campionamento (SM) di detta pluralità di fasi ritardate (FD0, FD1, AD, FD3, FD4), che impiegano quale segnale di orologio il segnale di orologio mascherato (CKE).
16. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo secondo la rivendicazione 15, caratterizzato dal fatto che detti mezzi di campionamento (SM) di detta pluralità di fasi ritardate (FD0, FD1, AD, FD3, FD4) ricevono almeno un secondo segnale di abilitazione (SEN) generato dai mezzi di rilevamento (AFW, ROT), che indica il passaggio della transizione nella sequenza di dati certa (AW).
17. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a una trama a divisione di tempo secondo la rivendicazione 15 o 16 caratterizzato dal fatto che i mezzi di comparazione di fase (SM, LC, FDL) comprendono mezzi logici di controllo (LC) disposti a valle dei mezzi di campionamento

Ing. Giorgio CROVINI

Giorgio Crovini

(SM), per ricevere i valori campionati della pluralità di fasi ritardate (FD0, FD1,

AD, FD3, FD4) e in funzione di essi emettere i segnali di selezione (SEL0...SEL74).

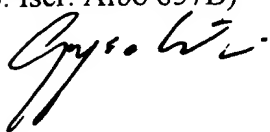
18. Circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a trame a divisione di tempo, secondo una delle rivendicazioni da 10 a 16 caratterizzato dal fatto che la linea di ritardo (VDL) a ritardo è realizzata tramite una scala di elementi di ritardo (VDE).
19. Linea di ritardo del tipo comprendente una pluralità di elementi di ritardo (VDE) e un flusso di dati da ritardare (DIN) che attraversa in serie detta pluralità di elementi di ritardo (VDE) caratterizzato dal fatto che uno o più degli elementi di ritardo (VDE) ricevono anche il flusso di dati in ingresso (DIN) in parallelo, e che detti elementi di ritardo (VDE) sono atti a selezionare quale trasmettere fra il flusso di dati (DIN) ricevuto in serie o ricevuto in parallelo.
20. Metodo di allineamento di fase di flussi di dati appartenenti a trame a divisione di tempo e/o circuito di allineamento di fase di un flusso di dati in ingresso appartenenti a trame a divisione di tempo e/o linea di ritardo secondo gli insegnamenti della presente descrizione e dei disegni annessi.

* * * * *

ALCATEL

p.i. Ing. Giorgio Crovini

(No. Iscr. Albo 857B)



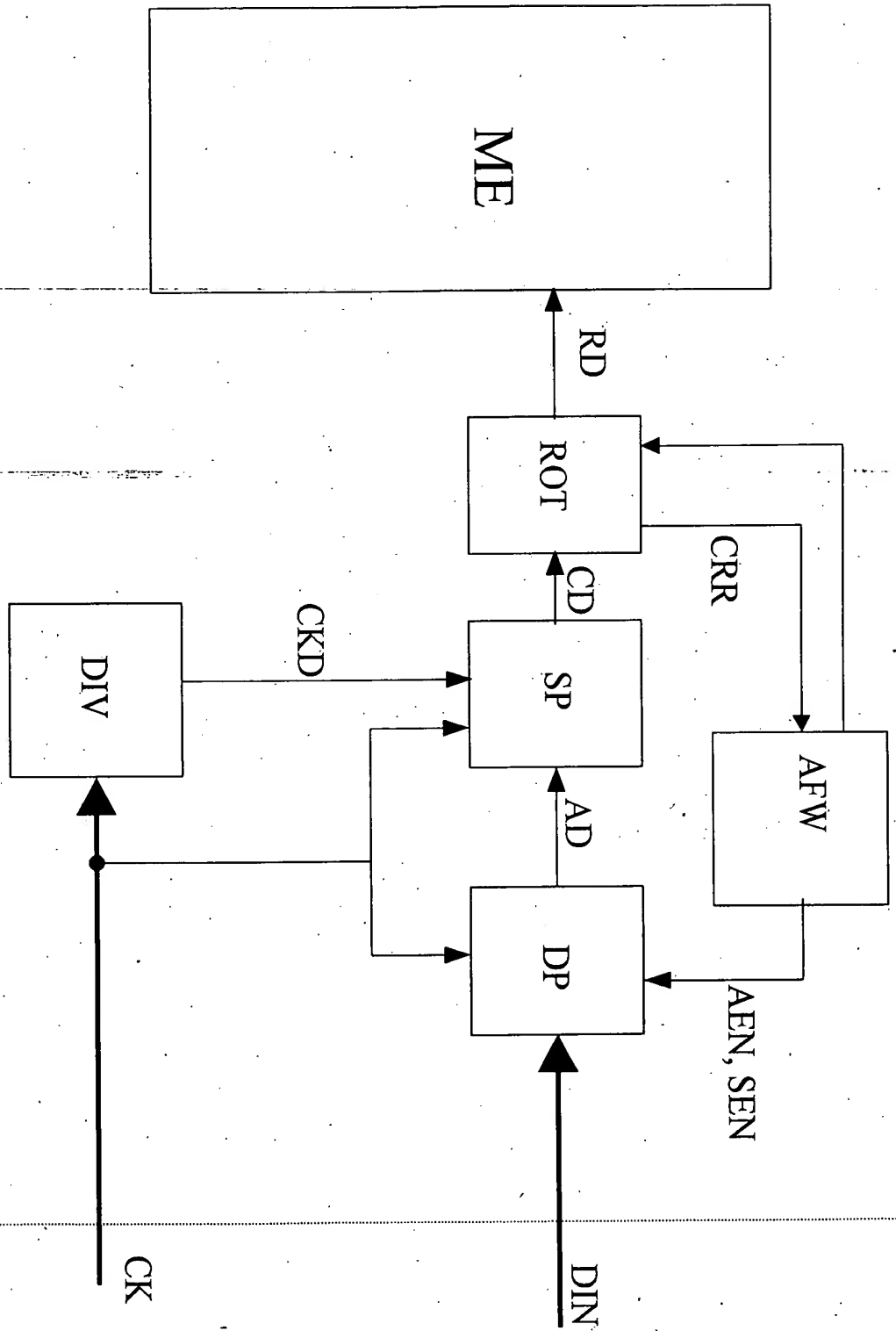


Fig. 1

Ing. Giorgio CROVINI



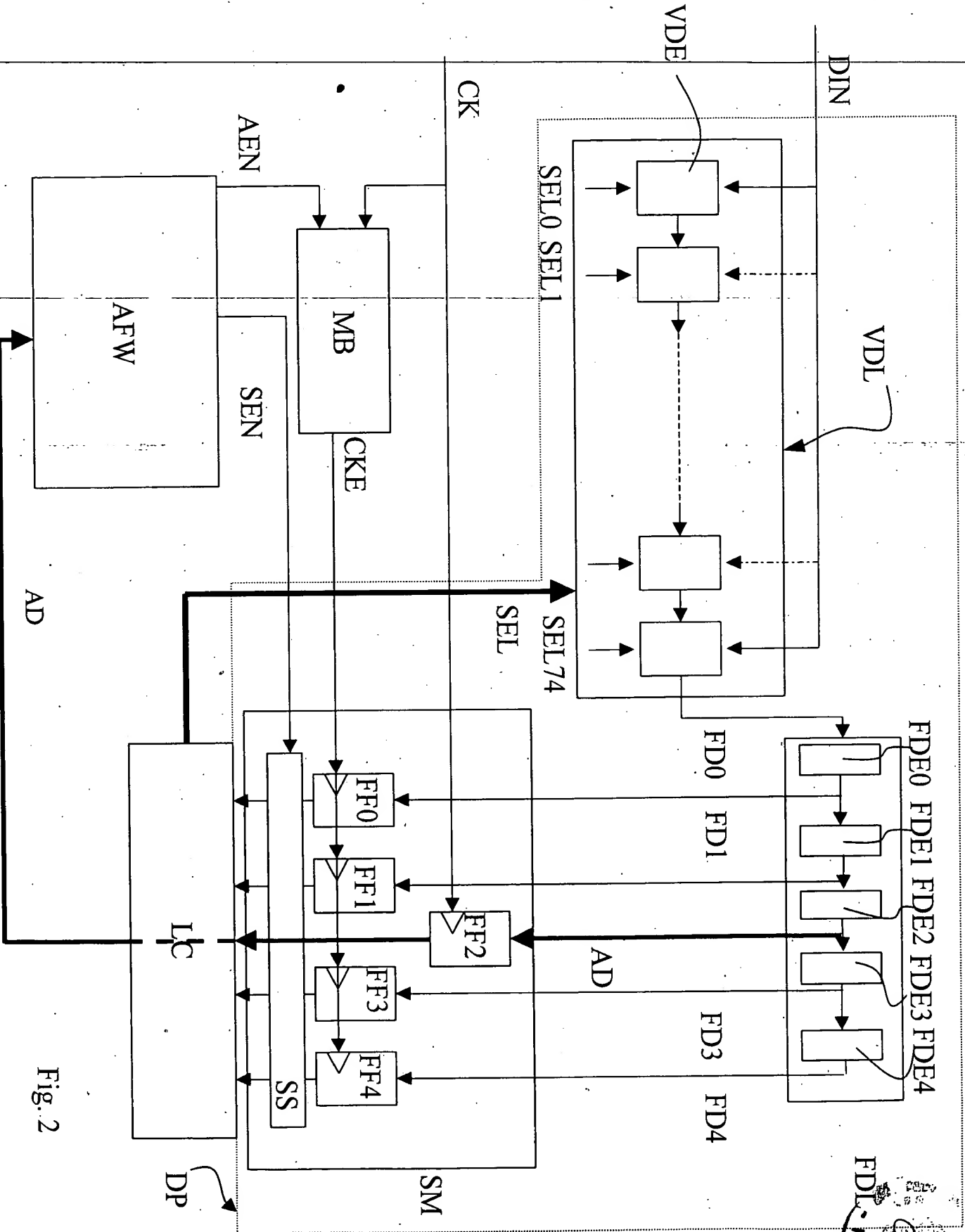


Fig. 2

Ing. Giorgio CROVINI

Giorgio Crovini